

F-99EC0456-US
(774)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月29日

出 願 番 号
Application Number:

特願2000-362527

出 願 人
Applicant(s):

沖電気工業株式会社

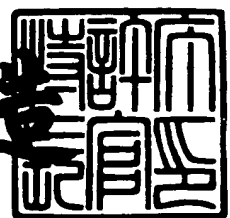


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3081927

【書類名】 特許願

【整理番号】 MA001296

【提出日】 平成12年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 25/06
H04B 10/28

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 菊池 修

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光受信回路

【特許請求の範囲】

【請求項 1】 入力する光信号を電気信号に変換する光電変換素子と、前記光電変換素子から入力される電気信号を増幅して正相信号および逆相信号を送出する差動型の前置増幅器と、前記前置増幅器の正相信号および逆相信号とを入力とする主増幅器とから構成され、

前記主増幅器は、前記前置増幅器の正相信号を入力とする少なくとも 1 つの第 1 のピークホールド回路と、前記前置増幅器の逆相信号を入力とする少なくとも 1 つの第 2 のピークホールド回路と、前記逆相信号および前記第 1 のピークホールド回路の出力信号を加算する第 1 の加算器と、前記正相信号および前記第 2 のピークホールド回路の出力信号を加算する第 2 の加算器と、前記第 1 および第 2 の加算器から出力される信号を入力とする差動増幅器とを有する光受信回路において、

前記前置増幅器から出力される正相信号あるいは逆相信号の値の変化に基づいて光入力信号が入力したことを検出するデータ検出回路と、

前記データ検出回路の出力信号中の立ち上がり部の信号を用いて、少なくとも前記第 2 のピークホールド回路に対するリセット信号を出力するリセット回路とを備えることを特徴とする光受信回路。

【請求項 2】 前記リセット回路からのリセット信号は、前記第 2 のピークホールド回路の出力電位を、リセット信号のパルス幅に対応させて放電させることにより低下させることを特徴とする請求項 1 に記載の光受信回路。

【請求項 3】 前記第 2 のピークホールド回路の出力電位を低下させるための前記リセット信号のパルス幅は、前記第 2 のピークホールド回路の出力信号に含まれるバイアス光の出力レベルをキャンセルできるように選定されることを特徴とする請求項 2 に記載の光受信回路。

【請求項 4】 前記データ検出回路は、反転入力端子側が定電圧源に接続されると共に非反転入力端子側に前記前置増幅器から出力される正相信号が入力されて正相信号の立ち上がりを検出するリミッタ増幅器と、該検出値をラッチして

正相のデータ検出信号と逆相のデータ検出信号を出力するラッチ回路を備え、

前記リセットパルス発生回路は、前記データ検出信号中の一方の信号の位相を遅延させてから両信号の和を演算することによりリセット信号を生成することを特徴とする請求項 1 ～ 3 の何れか 1 項に記載の光受信回路。

【請求項 5】 前記データ検出回路は、前記前置増幅器から出力される逆相信号が入力される微分回路と、非反転入力端子側が定電圧源に接続されると共に反転入力端子側に前記微分回路で微分された逆相信号が入力されて該逆相信号の立ち上がりを検出するリミッタ増幅器と、該検出値をラッチして正相のデータ検出信号と逆相のデータ検出信号を出力するラッチ回路を備え、

前記リセットパルス発生回路は、前記データ検出信号中の一方の信号の位相を遅延させてから両信号の和を演算することによりリセット信号を生成することを特徴とする請求項 1 ～ 3 の何れか 1 項に記載の光受信回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、光受信システムや光通信方式に用いられる光受信回路に関し、特に、パッシブ・オプティカル・ネットワーク（PON）等のようにデジタルデータを伝送するために、バースト状でパケット形式の光信号を用いる場合の受信回路に関する。

【 0 0 0 2 】

【従来の技術】

図 7 は、従来の光受信回路の構成の一例を示すブロック図である。このような光受信回路は、例えば、特開平 8 - 8 4 1 6 0 号公報、あるいは、1997 年電子情報通信学会総合大会 B - 1 0 - 1 2 8 「156Mbps バースト信号対応光受信機」猿渡他等に記載されている。

【 0 0 0 3 】

図 7 のバースト光を受信する光受信回路は、外部から入射する光信号（OPT）を電気信号に変換するフォトダイオード（PD）等からなる受光素子 1 と、その変換された電気信号を増幅して正相信号 D と逆相信号 ND を出力する前置増幅

器（プリアンプ）2と、前置増幅器2で増幅された電気信号のトップ側およびボトム側双方のピーク値を検出して、その両ピーク値の中央値等からリファレンスレベルを得る自動しきい値制御回路（ATC）4と、そのATC4の出力に基づいて光信号を増幅して出力するリミッタ増幅器5から構成されている。また、ATC4とリミッタ増幅器5で主増幅器を形成している。

【0004】

また、ATC4は、プリアンプ2から出力される正相信号Dが入力されてそのピーク値PKPを検出して出力する第1のピークホールド回路21と、プリアンプ2から出力される逆相信号NDが入力されてそのピーク値PKNを検出して出力する第2のピークホールド回路22と、プリアンプ2から出力される逆相信号NDおよび第1のピークホールド回路21の出力信号を加算する第1の加算器23と、プリアンプ2から出力される正相信号Dおよび第2のピークホールド回路22の出力信号PKNを加算する第2の加算器24と、第1の加算器23から出力される信号NQおよび第2の加算器から出力される信号Qを入力として差分を増幅して出力する差動増幅器25とを有する。また、第1のピークホールド回路および第2のピークホールド回路と増幅器との組み合わせは、図7には簡略化して1段の場合を示しているが複数段である場合もある。

【0005】

また、ATC4は、自動オフセット補償回路（AOC）、あるいは、自動バイアス制御回路（ABC）とも称され、さらに、リミッタ増幅器5と共に主増幅器（メインアンプ）とも称されるが、トップ側およびボトム側のピーク値を得て最適なリファレンス（識別）レベルを得ている点で、基本動作としては全く同様である。

【0006】

ところで、光受信回路では、入力する受信光のパワーレベルが増大した場合、バースト光の入力信号中にバイアス光が発生する。その場合、前置増幅器2は、図8に示したような利得飽和特性を有していることから、入力信号パワーレベルの大きい領域では、入力信号については利得が頭打ちになるが、バイアス光については線形に利得を得られる領域となることから、バースト状の大きなオフセッ

トを持ってしまう。

【0007】

図9は、バイアス光が有る場合の図7の光受信回路各部の出力信号を示す波形図である。(a)は受光素子1に入力するバースト光信号OPTの信号波形である。(b)は前置増幅器2から出力される正相信号Dと逆相信号NDの信号波形である。(c)は第1のピークホールド回路21の正相のピークホールド出力PKPと第2のピークホールド回路22の逆相のピークホールド出力PKNの信号波形図である。(d)と(f)は第1の加算器23の加算出力NQと第2の加算器24の加算出力Qの信号波形図である。(e)と(g)はリミッタ増幅器5の出力の信号波形図である。

【0008】

バイアス光が増加した影響によって(d)の波形図では、第1の加算器23の加算出力NQと第2の加算器24の加算出力Qの重なる幅が減少する様子を示し、その結果、(e)の波形図に示したように、リミッタ増幅器5の出力DOUTでは、‘0’パルスの幅が減少してしまう。

【0009】

さらにバイアス光が増加した場合には、(f)に示したように第1の加算器23の加算出力NQと第2の加算器24の加算出力Qとが重ならなくなり、その結果、(g)の波形図に示したように、リミッタ増幅器5の出力DOUTでは、‘1’の出力のみになってしまう。バイアス光が増加した時に‘1’の出力のみになってしまう光受信回路では、光信号を正確に受信できなくなり、例えば、ITU-T勧告G983.1に示されたようにバースト光送信機において信号送信区間のみバイアス光が許容されるシステムでは、上記した特開平8-84160号公報あるいは猿渡他の「156Mbpsバースト信号対応光受信機」は使用できないことになる。

【0010】

また、‘1’の出力のみになることについては、前置増幅器2の正相信号Dと逆相信号NDの信号波形による消光比の影響が大きいほど‘1’の出力のみになりやすいことが知られており、消光比の影響が大きい場合には、‘1’の出力の

みにならない場合でも、(e)の波形図に示したようにパルス幅の劣化が発生する。

【0011】

従来の光受信回路では、上記の事態に対応するためや、入力光信号のバイアス光によるデューティ劣化対策、受信ダイナミックレンジの拡大等のために、図8に示した前置増幅器の飽和領域を使用しないように、前置増幅器の帰還抵抗を入力バースト光信号のパワーに応じて、バースト毎に切り替える手段を追加したものが知られている。

【0012】

そのような光受信回路は、例えば、1999年電子情報通信学会総合大会SC-12-3「FSAN対応156Mbps 3.3Vバースト光受信器用1チップLSI」武田他、あるいは、M.Nakamura,N.Ishihara,Y.Akazawa「A156Mb/s CMOS Optical Receiver Ics for Burst-mode Transmission」1997 8th International Workshop on Optical/Hybrid Access Networks Conference Proceedings Poster Session P.12等に記載されている。

【0013】

【発明が解決しようとする課題】

しかしながら、上記した前置増幅器の帰還抵抗をバースト毎に切り替える光受信回路を用いた場合には、前置増幅器を飽和領域で使用しないようにできることから、前置増幅器のオフセットの値が大きくなることを防止できるが、複数種類の帰還抵抗、および、それらの抵抗を切り替えるためにFFT等からなるスイッチ手段が付加されており、そのような付加された手段によって入力端子には余分な静電容量が加わる。

【0014】

前置増幅器の入力端子に余分な静電容量が加わると、前置増幅器の周波数特性および雑音特性には著しい劣化が生じる。この、前置増幅器の周波数特性および雑音特性の特性劣化によって、光受信回路の動作速度が低下し、受信感度も劣化し、受信ダイナミックレンジが狭くなるという問題が生じる。

【0015】

本発明は、上述した如き従来の問題を解決するためになされたものであって、前置増幅器の入力端子に余分な静電容量を加えずに、大きなバイアス光が有る場合でも光信号を正確に受信できるようにし、それにより光受信回路の動作速度の低下、受信感度の劣化、あるいは、受信ダイナミックレンジの狭小化等が発生しない光受信回路を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

上述の目的を達成するため、請求項 1 に記載した本発明の光受信回路は、入力する光信号を電気信号に変換する光電変換素子と、光電変換素子から入力される電気信号を増幅して正相信号および逆相信号を送出する差動型の前置増幅器と、前置増幅器の正相信号および逆相信号とを入力とする主増幅器とから構成され、主増幅器は、前置増幅器の正相信号を入力とする少なくとも 1 つの第 1 のピークホールド回路と、前置増幅器の逆相信号を入力とする少なくとも 1 つの第 2 のピークホールド回路と、逆相信号および第 1 のピークホールド回路の出力信号を加算する第 1 の加算器と、正相信号および第 2 のピークホールド回路の出力信号を加算する第 2 の加算器と、第 1 および第 2 の加算器から出力される信号を入力とする差動増幅器とを有する光受信回路において、前置増幅器から出力される正相信号あるいは逆相信号の値の変化に基づいて光入力信号が入力したことを検出するデータ検出回路と、データ検出回路の出力信号中の立ち上がり部の信号を用いて、少なくとも第 2 のピークホールド回路に対するリセット信号を出力するリセット回路とを備えることを特徴とする。

【 0 0 1 7 】

請求項 2 の本発明は、請求項 1 に記載の光受信回路において、リセット回路からのリセット信号は、第 2 のピークホールド回路の出力電位を、リセット信号のパルス幅に対応させて放電させることにより低下させることを特徴とする。

【 0 0 1 8 】

請求項 3 の本発明は、請求項 2 に記載の光受信回路において、第 2 のピークホールド回路の出力電位を低下させるためのリセット信号のパルス幅は、第 2 のピークホールド回路の出力信号に含まれるバイアス光の出力レベルをキャンセルで

きるように選定されることを特徴とする。

【 0 0 1 9 】

請求項 4 の本発明は、請求項 1 ～ 3 の何れか 1 項に記載の光受信回路において、データ検出回路は、反転入力端子側が定電圧源に接続されると共に非反転入力端子側に前置増幅器から出力される正相信号が入力されて正相信号の立ち上がりを検出するリミッタ増幅器と、該検出値をラッチして正相のデータ検出信号と逆相のデータ検出信号を出力するラッチ回路を備え、リセットパルス発生回路は、データ検出信号中の一方の信号の位相を遅延させてから両信号の和を演算することによりリセット信号を生成することを特徴とする。

【 0 0 2 0 】

請求項 5 の本発明は、請求項 1 ～ 3 の何れか 1 項に記載の光受信回路において、データ検出回路は、前置増幅器から出力される逆相信号が入力される微分回路と、非反転入力端子側が定電圧源に接続されると共に反転入力端子側に微分回路で微分された逆相信号が入力されて該逆相信号の立ち上がりを検出するリミッタ増幅器と、検出値をラッチして正相のデータ検出信号と逆相のデータ検出信号を出力するラッチ回路を備え、リセットパルス発生回路は、データ検出信号中の一方の信号の位相を遅延させてから両信号の和を演算することによりリセット信号を生成することを特徴とする。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明を図示した実施形態に基づいて説明する。

【 0 0 2 2 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の光受信回路の構成を示すブロック図である。

【 0 0 2 3 】

なお、本実施形態において図 7 に示した従来の光受信回路と同様な機能を有する部分については、図 1 中の該当部分に図 7 と同じ符号を付与して重複する説明を省略する。

【 0 0 2 4 】

本実施形態の光受信回路が、図 7 に示した光受信回路と主に異なる点は、前置増幅器 2 の正相出力信号 D を得て、その信号の立ち上がり（値の変化）に基づいて光信号（光データ）が入射したことを検出してデータ検出信号 D D E T を出力するデータ検出回路 3 1 と、入力されるデータ検出信号 D D E T からピーク検出器に対するリセットパルスを生成して各ピーク検出器 4 1、4 2 に出力するリセットパルス発生回路 3 2 とを備える点である。その他の構成については図 7 に示した従来の光受信回路と同様である。

【 0 0 2 5 】

本実施形態の動作は、前置増幅器 2 が正相出力 D および逆相出力 N D を出力するまでの動作については、図 7 に示した従来の光受信回路と同様であるが、その後の動作については異なる。

【 0 0 2 6 】

図 2 は、バイアス光が有る場合の図 1 の光受信回路各部の出力信号を示す波形図である。（a）は受光素子 1 に入力するバースト光信号 O P T の信号波形である。（b）は前置増幅器 2 から出力される正相信号 D と逆相信号 N D の信号波形である。ここまでの動作は図 7 に示した従来の光受信回路と同様である。

【 0 0 2 7 】

（k）はデータ検出回路 3 1 が前置増幅器 2 から出力される正相信号 D を検出することにより生成されたデータ検出信号 D D E T である。（m）はリセットパルス発生回路 3 2 がデータ検出信号 D D E T の立ち上がり部から生成した所定のパルス幅のピークリセットパルス R E S である。この場合の所定のパルス幅とは、第 2 のピーク検出器 4 2 が入射するバイアス光に相当する電圧成分をピーク電圧値から放電させる時間よりも十分に長い時間が得られるパルス幅である。

【 0 0 2 8 】

ピークリセットパルス R E S が入力する場合のピーク検出器 4 2 の逆相ピークホールド出力 P K N は、図 2（c）に示すように、ピークリセットパルス R E S のパルス幅の時間だけ放電されるため、前置増幅器の逆相出力 N D と等しいレベル（この場合にはバイアス電圧の逆相出力）まで徐々に電位が低下する。一方、

ピーク検出器 4 1 の正相ピークホールド出力 P K P は、リセットパルス R E S が入力されている間は同じ正相のバイアス電圧が維持されるので、従来と同様にバイアス電圧がピークホールドされる。

【 0 0 2 9 】

すると、図 2 (d) の信号波形図に示すように、第 1 の加算器 2 3 の加算出力 N Q については、従来と同様に、前置増幅器 2 の逆相出力 N D と正相ピークホールド出力 P K P とが加算されることにより、バイアス光のレベルがキャンセルされて加算出力 N Q のボトム値がリファレンスレベルと一致する。また、本実施形態では、第 2 の加算器 2 4 の加算出力 Q についても、前置増幅器の正相出力 D と逆相ピークホールド出力 P K N とが加算されることにより、バイアス光のレベルがキャンセルされて加算出力 Q のボトム値がリファレンスレベルと一致する。従って、第 1 の加算器 2 3 の加算出力 N Q と第 2 の加算器 2 4 の加算出力 Q とはお互いのトップ値とボトム値が同一電位で位相が反転という関係になる。

【 0 0 3 0 】

これから、図 2 (e) の信号波形図に示すように、リミッタ増幅器 5 の出力 D O U T における ‘ 0 ’ 部分の信号と ‘ 1 ’ 部分の信号とは同間隔となる。

【 0 0 3 1 】

このようにして本実施形態では、リミッタ増幅器 5 の出力 D O U T における ‘ 1 ’ 部分の信号幅が増大して ‘ 0 ’ 部分の信号幅が減少したり、オール ‘ 1 ’ になってしまう事態は発生しなくなる。このため、前置増幅器の入力端子に余分な静電容量を加える付加回路を追加しなくとも、大きなバイアス光が有る場合でも光信号を正確に受信できるようになり、それにより例えば光受信回路のデューティが劣化することによる動作速度の低下、例えばビット誤りが増加することによる受信感度の劣化、あるいは、受信ダイナミックレンジの狭小化等が発生しない光受信回路を提供することができる。

【 0 0 3 2 】

但し、逆相ピークホールド出力 P K N は、上記したように放電により徐々に（時定数を有して）バイアス光の逆相電圧にピークホールドされ、正相ピークホールド出力 P K P のように急峻にバイアス光の電圧にピークホールドされないため

、第 2 の加算器 2 4 の加算出力 Q におけるピークリセットパルス R E S が入力される最初の期間では、バイアス光の一部の成分がキャンセルされずに残ってしまう。この残ったバイアス光の成分は、図 2 (e) の信号波形図に示すように、リミッタ増幅器 5 の出力 D O U T におけるノイズ成分となる。しかし、このノイズ成分は、データ検出信号 D D E T あるいはピークリセットパルス R E S 等と同時期に発生するため、例えば、その期間のノイズ成分を無視するようにピークリセットパルス R E S に基づいて自己リセット信号を生成して除去してやればよい。

【 0 0 3 3 】

(第 2 の実施形態)

図 3 は本発明の第 2 の実施形態の光受信回路の構成を示すブロック図である。

【 0 0 3 4 】

本実施形態の光受信回路が、図 1 に示した第 1 の実施形態の光受信回路と主に異なる点は、データ検出回路 5 1 が、前置増幅器 2 の正相出力信号 D からデータ検出信号 D D E T と共に逆相のデータ検出信号 N D D E T を出力する点と、リセットパルス発生回路 5 2 が入力されるデータ検出信号 D D E T および逆相のデータ検出信号 N D D E T からピーク検出器に対するリセットパルスを生成して出力する点である。その他の構成については図 1 に示した第 1 の実施形態の光受信回路と同様である。

【 0 0 3 5 】

データ検出回路 5 1 は、前置増幅器 2 の無入力時の正相出力 D のリファレンス電圧レベルよりも少し高いレベル V_r に設定される電圧を発生する電圧源 6 3 と、前置増幅器 2 の正相出力 D が非反転入力端子に入力されると共に、反転入力端子には電圧源 6 3 からの定電圧 V_r が入力されて、差分を増幅した出力 a を送出する第 2 のリミッタ増幅器 6 1 と、出力 a をラッチして、リセット入力まで正相出力 D D E T と共に、その逆相出力 N D D E T を送出する S R - フリップフロップ等からなるラッチ回路 6 2 とから構成される。

【 0 0 3 6 】

リセットパルス発生回路 5 2 は、ラッチ回路 6 2 の逆相出力 N D D E T を所定期間だけ遅延させた遅延出力 b を出力する遅延素子 7 1 と、ラッチ回路 6 2 の正相出

力DDETおよび遅延出力bのANDを論理演算することによりピークリセットパルスRESを発生させるAND回路72とから構成される。なお、逆相出力NDETを遅延させる所定期間とは、図1に示した第2のピーク検出器42が、入射するバイアス光に相当する電圧成分をピーク電圧値から放電させる時間よりも十分に長い時間が得られる期間である。

【0037】

図4は、バイアス光が有る場合の図3の光受信回路各部の出力信号を示す波形図である。また、本実施形態でも全く同様な波形となる図2の(a)、(c)、(d)、および、(e)については、図4中の記載を省略した。

【0038】

図4の(b)には前置増幅器2から出力される正相信号Dと逆相信号NDの信号波形に加えて、電圧源63から第2のリミッタ増幅器61に入力される定電圧V_rが示されている。リミッタ増幅器61は、正相信号Dが定電圧V_rを超えた場合に、その差分を増幅して(n)に示したように出力aを送出する。

【0039】

(o)はリセットパルス発生回路52のAND回路72でピークリセットパルスRESが生成される様子を示す図である。AND回路72に入力されたラッチ回路62からの正相出力DDETと、逆相出力NDETを所定期間だけ遅延させた遅延出力bとは、内部でANDの論理演算が行われ両入力重なって入力する期間のパルス幅がAND出力となる。

【0040】

(m)は、(o)のANDの論理演算の結果、AND回路72から図1に示したATC回路33内の各ピーク検出器41および42へピークリセットパルスRESとして出力される信号波形である。これは、図2の(m)に示した第1の実施形態のピークリセットパルスRESと同様となる。

【0041】

従って、本実施形態のATC回路33におけるしきい値の制御内容は、第1の実施形態と同様となることから、リミッタ増幅器5の出力DO_{OUT}における‘1’部分の信号幅が増大して‘0’部分の信号幅が減少したり、オール‘1’にな

ってしまう事態は発生しなくなる。このため、本実施形態の光受信回路は、第 1 の実施形態の光受信回路と同様に、前置増幅器の入力端子に余分な静電容量を加える付加回路を追加しなくとも、大きなバイアス光が有る場合でも光信号を正確に受信できるようになり、それにより例えば光受信回路のデューティが劣化することによる動作速度の低下、例えばビット誤りが増加することによる受信感度の劣化、あるいは、受信ダイナミックレンジの狭小化等が発生しない光受信回路を提供することができる。

【 0 0 4 2 】

(第 3 の実施形態)

上記した第 2 の実施形態では、データ検出回路 5 1 中の電圧源 6 3 が発生する電圧 V_r を、前置増幅器 2 の無入力時の電圧（リファレンスレベル）を基準にして、それよりも少しだけ高めに設定していた。このように設計すると、前置増幅器の入力端子に余分な静電容量を加える付加回路を追加しなくとも、大きなバイアス光が有る場合でも光信号を正確に受信できるようになるが、データ検出回路の最適化が困難であり、温度変動等に対してデータ検出が不安定である場合があった。そのため、以下に説明する第 3 の実施形態では、データ検出回路の最適化が容易であり、温度変動等に対してデータ検出が不安定にならない回路について説明する。

【 0 0 4 3 】

図 5 は本発明の第 3 の実施形態の光受信回路の構成を示すブロック図である。

【 0 0 4 4 】

本実施形態の光受信回路が、図 3 に示した第 2 の実施形態の光受信回路と主に異なる点は、データ検出回路 7 1 の入力回路に、抵抗器 6 4 および 6 5、コンデンサ 6 6、電圧源 6 3 a を用い、リミッタ増幅器 6 1 の非反転入力端子のレベルが反転入力端子のレベルよりわずかに高くなるように設定した微分回路を用いている点である。その他の構成については図 3 に示した第 2 の実施形態の光受信回路と同様である。

【 0 0 4 5 】

データ検出回路 7 1 は、リミッタ増幅器 6 1 への入力バイアス点が適正な値と

なるような電圧を発生する電圧源 6 3 a と、前置増幅器 2 の逆相出力 N D を微分した微分出力 c を生成する微分回路 7 0 と、微分回路 7 0 の微分出力 c が反転入力端子に入力されると共に、非反転入力端子には電圧源 6 3 からの定電圧 d が入力されて、差分を増幅した出力 e を送出する第 2 のリミッタ増幅器 6 1 と、出力 e をラッチして、リセット入力まで正相出力 DDET と共に、その逆相出力 NDDET を送出する S R - フリップフロップ等からなるラッチ回路 6 2 とから構成される。

【 0 0 4 6 】

また、微分回路 7 0 は、逆相出力 N D が入力されるコンデンサ 6 5 と、第 1 の抵抗器 6 4 および第 2 の抵抗器 6 5 とから構成される。また、第 1 の抵抗器 6 4 の一端は電源に接続されると共に他端は第 2 の抵抗器 6 5 に接続される。第 2 の抵抗器 6 5 の残りの端部は電圧源 6 3 a に接続される。コンデンサ 6 5 の出力は、第 1 の抵抗器 6 4 と第 2 の抵抗器 6 5 との接続部に入力され、その接続部の電圧が微分回路 7 0 の微分出力 c として反転入力端子に入力される。

【 0 0 4 7 】

リセットパルス発生回路 5 2 は、第 2 の実施形態で説明したものと同様であるので説明を省略する。

【 0 0 4 8 】

図 6 は、バイアス光が有る場合の図 5 の光受信回路各部の出力信号を示す波形図である。また、本実施形態でも全く同様な波形となる図 2 の (a) 、 (c) 、 (d) 、および、 (e) については、図 6 中の記載を省略した。

【 0 0 4 9 】

図 6 の (b) には前置増幅器 2 から出力される正相信号 D と逆相信号 N D の信号波形が記載されている。本実施形態では、逆相信号 N D が微分回路 7 0 に入力され、微分回路 7 0 からはその微分結果が出力される。

【 0 0 5 0 】

図 6 の (p) に示したように、微分回路 7 0 は逆相信号 N D を微分するので、微分出力 c は、一旦光信号が無入力時のレベルから下側に離れ、時間の経過に従って徐々に元のレベルに近づく。この微分出力 c は、光信号が無入力時には電圧レベル d をわずかに上回るレベルにあるが、光信号が入力されることで電圧レベ

ル d を下回るレベルまで急激に変化する。

【 0 0 5 1 】

図 6 の (e) では、第 2 のリミッタ増幅器 6 1 が、微分出力 c が電圧レベル d を下まわるときを検出し、その下まわる場合に第 2 のリミッタ増幅器 6 1 から出力される検出出力 e が示されている。その後のラッチ回路 6 2 から出力される正相出力 DDET とその逆相出力 NDET は第 2 の実施形態と同様である。従って、これ以降の回路は第 2 の実施形態と同様に処理され、図 6 (d) に示したようにリセットパルス発生回路 5 2 からピークリセットパルス RES が A T C 回路 3 3 内の各ピーク検出器 2 3、2 4 に向けて出力される。

【 0 0 5 2 】

従って、本実施形態の A T C 回路 3 3 におけるしきい値の制御内容は、第 1 の実施形態あるいは第 2 の実施形態と同様となることから、リミッタ増幅器 5 の出力 D O U T における ' 1 ' 部分の信号幅が増大して ' 0 ' 部分の信号幅が減少したり、オール ' 1 ' になってしまう事態は発生しなくなる。このため、本実施形態の光受信回路は、第 1 の実施形態あるいは第 2 の実施形態の光受信回路と同様に、前置増幅器の入力端子に余分な静電容量を加える付加回路を追加しなくとも、大きなバイアス光が有る場合でも光信号を正確に受信できるようになり、それにより例えば光受信回路のデューティが劣化することによる動作速度の低下、例えばビット誤りが増加することによる受信感度の劣化、あるいは、受信ダイナミックレンジの狭小化等が発生しない光受信回路を提供することができる。

【 0 0 5 3 】

さらに、本実施形態では、データ検出回路 7 1 の検出レベルを、微分回路 7 0 中の第 1 の抵抗器 6 4 および第 2 の抵抗器 6 5 で決定できることから、データ検出回路 7 1 の最適化が容易であり、温度変動等に対してデータ検出が不安定にならないようにできる。

【 0 0 5 4 】

なお、本発明の光受信回路を構成するデータ検出回路、あるいはリセットパルス発生回路、およびそれらを構成する各回路は、上記した各実施形態に限られるものではなく、例えば、図 1 の第 2 のピーク検出器 4 2 に対して、光信号検出時

に所定のパルス幅のピークリセットパルス R E S を出力できる回路で有れば良い。

【 0 0 5 5 】

また、上記した各実施形態では、A T C 回路 3 3 に対して本発明を適用したが、例えば、従来の技術中に示したように、自動オフセット補償回路 (A O C)、あるいは、自動バイアス制御回路 (A B C) と称される回路、あるいは、リミッタ増幅器 5 と共に主増幅器 (メインアンプ) と称される回路に適用しても良い。

【 0 0 5 6 】

【発明の効果】

上記のように本発明の光受信回路は、リミッタ増幅器の出力における '1' 部分の信号幅が増大して '0' 部分の信号幅が減少したり、オール '1' になってしまう事態が発生しないようにできる。

【 0 0 5 7 】

また、本発明の光受信回路は、前置増幅器の入力端子に余分な静電容量を加える付加回路を追加しなくとも、大きなバイアス光が有る場合でも光信号を正確に受信できる。

【 0 0 5 8 】

また、本発明の光受信回路は、光受信回路のデューティが劣化することによる動作速度の低下、ビット誤りが増加することによる受信感度の劣化、あるいは、受信ダイナミックレンジの狭小化等が発生しないようにできる。

【 0 0 5 9 】

また、本発明の光受信回路は、データ検出回路の検出レベルを微分回路中の抵抗器で決定できることから、データ検出回路の最適化を容易にすることができ、温度変動等に対してデータ検出が不安定にならないようにできる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態の光受信回路の構成を示すブロック図である。

【図 2】 (a) ~ (e)、(k)、(m) はバイアス光が有る場合の図 1 の光受信回路各部の出力信号を示す波形図である。

【図 3】 本発明の第 2 の実施形態の光受信回路の構成を示すブロック図である。

【図 4】 (b)、(n)、(o)、(m) はバイアス光が有る場合の図 3 の光受信回路各部の出力信号を示す波形図である。

【図 5】 本発明の第 3 の実施形態の光受信回路の構成を示すブロック図である。

【図 6】 (b)、(p)、(q)、(d) はバイアス光が有る場合の図 5 の光受信回路各部の出力信号を示す波形図である。

【図 7】 従来の光受信回路の構成の一例を示すブロック図である。

【図 8】 前置増幅器の利得飽和特性を示す図である。

【図 9】 (a) ～ (g) はバイアス光が有る場合の図 7 の光受信回路各部の出力信号を示す波形図である。

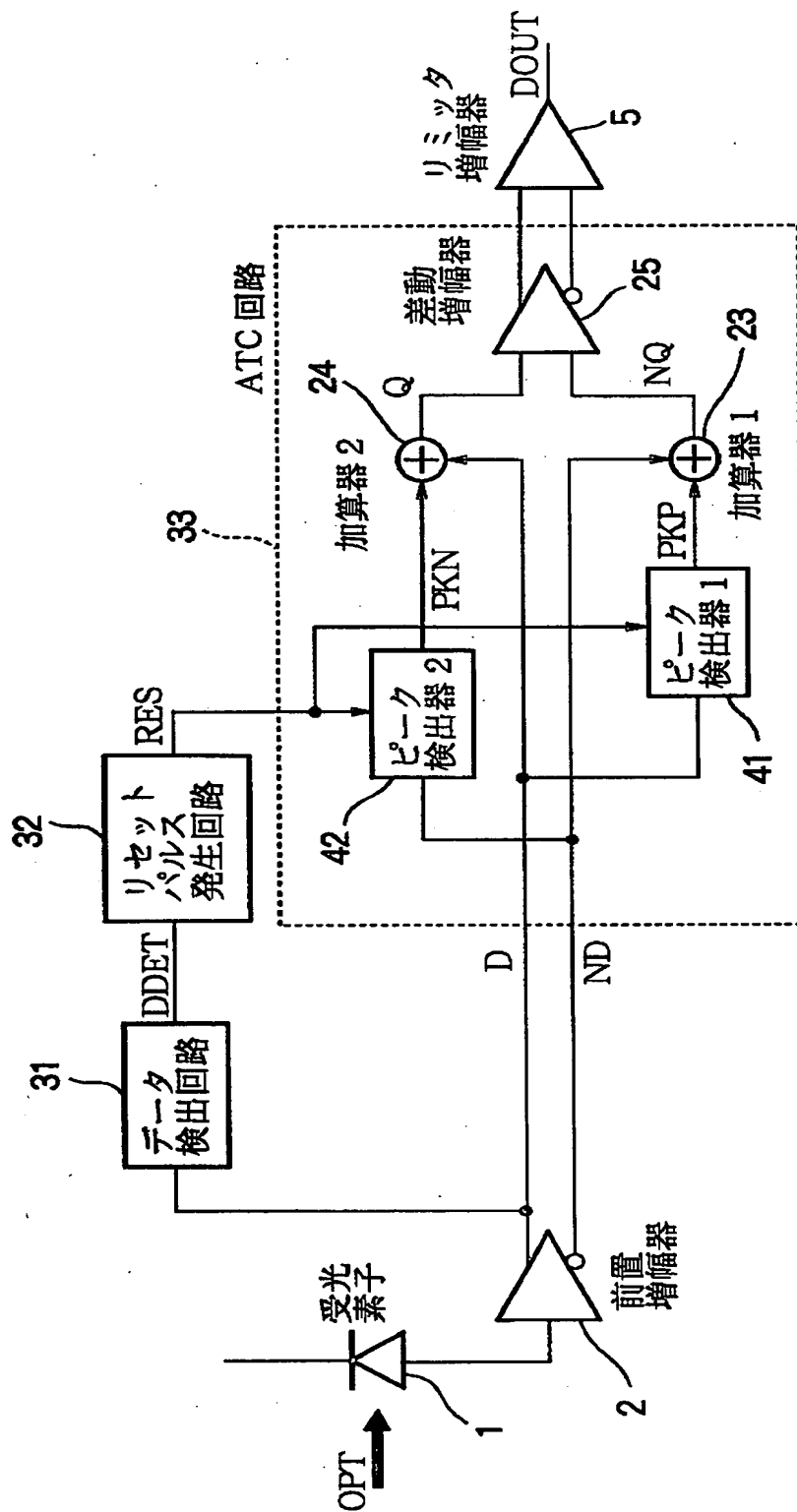
【符号の説明】

1 受光素子、 2 前置増幅器、 5 リミッタ増幅器、 31 データ検出回路、 32 リセットパルス発生回路、 33 ATC回路、 23 第1の加算器、 24 第2の加算器、 25 差動増幅器、 41 第1のピーク検出器、 42 第2のピーク検出器。

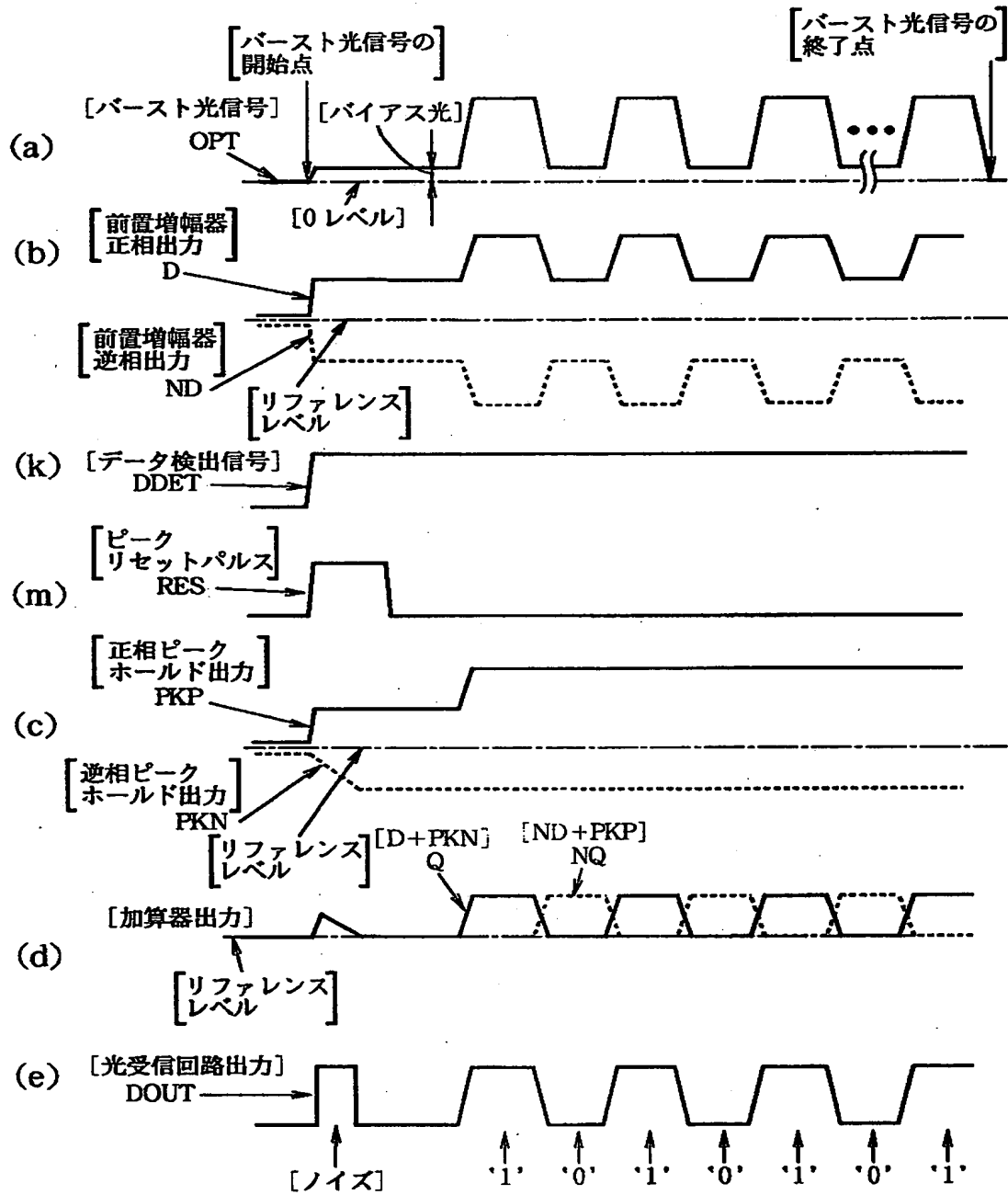
【書類名】

図面

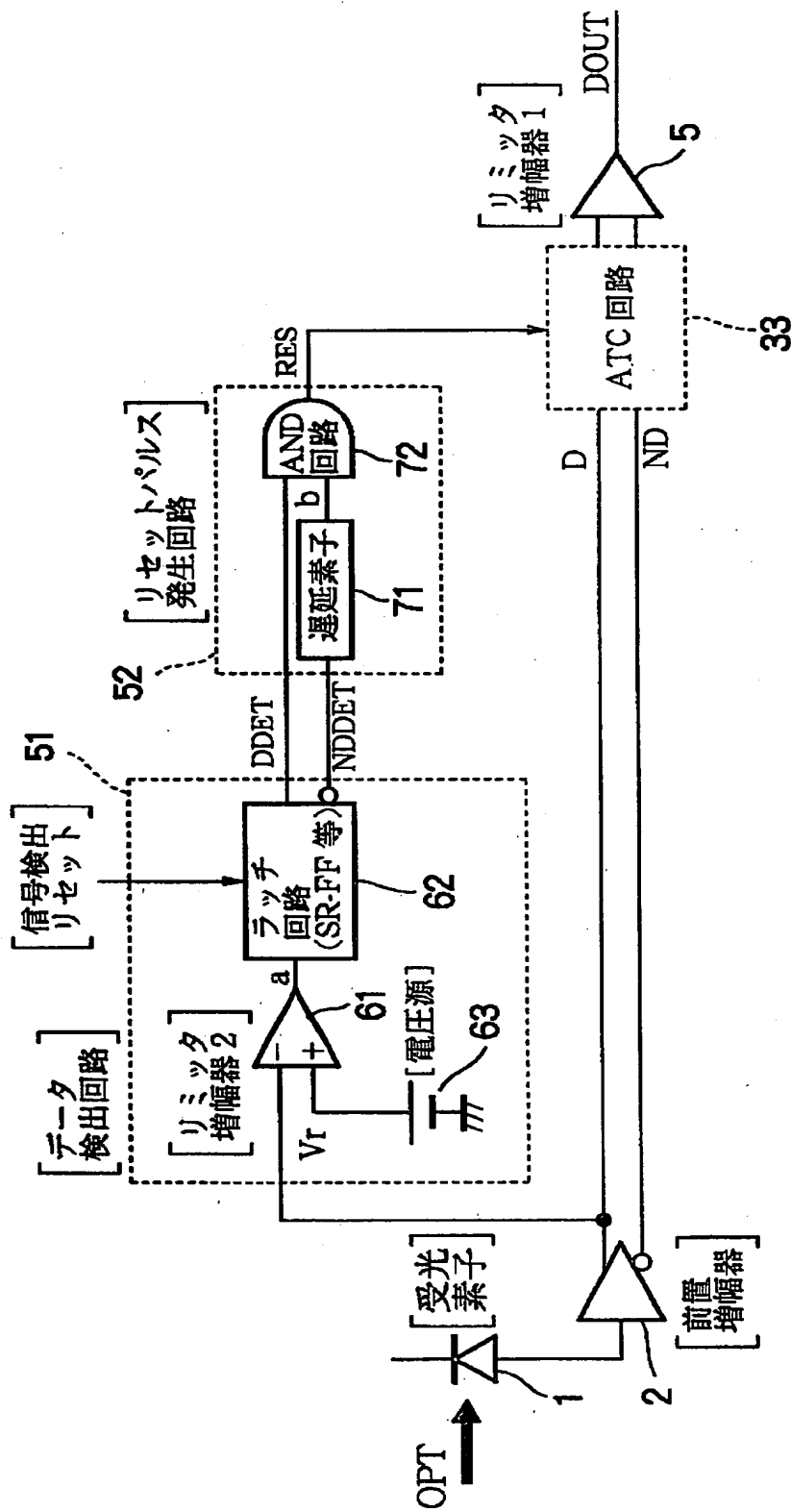
【図 1】



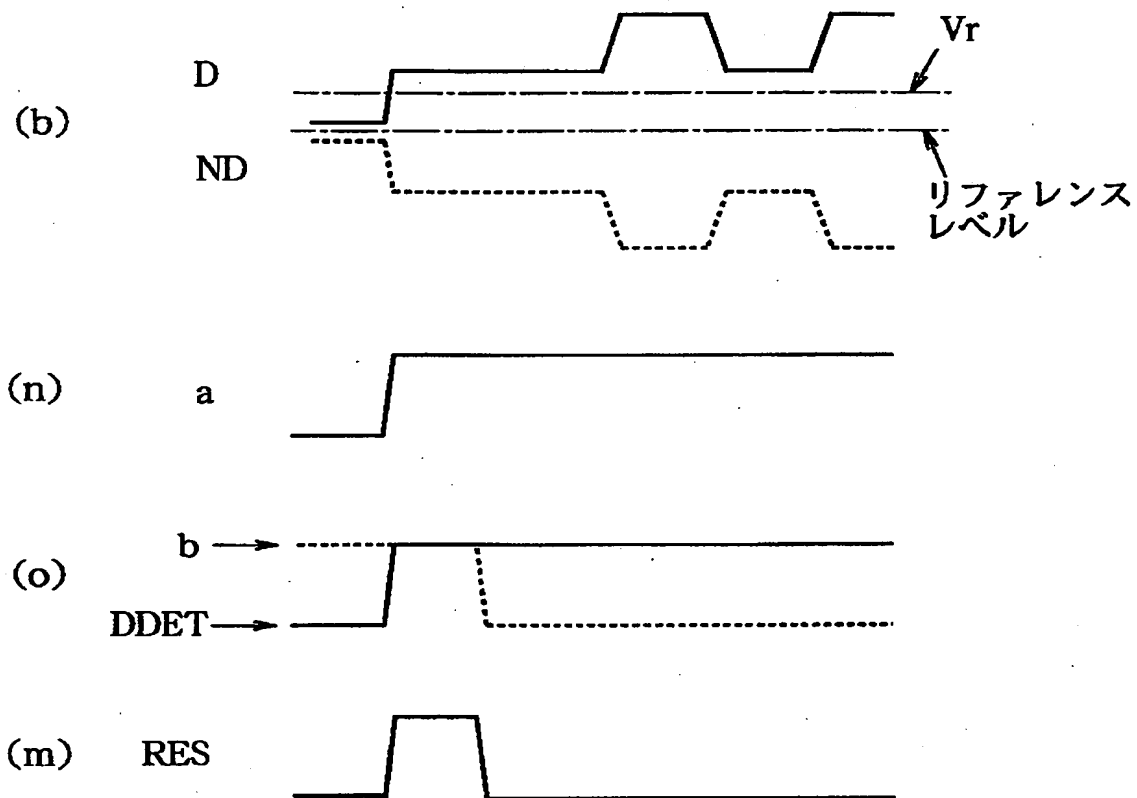
【図 2】



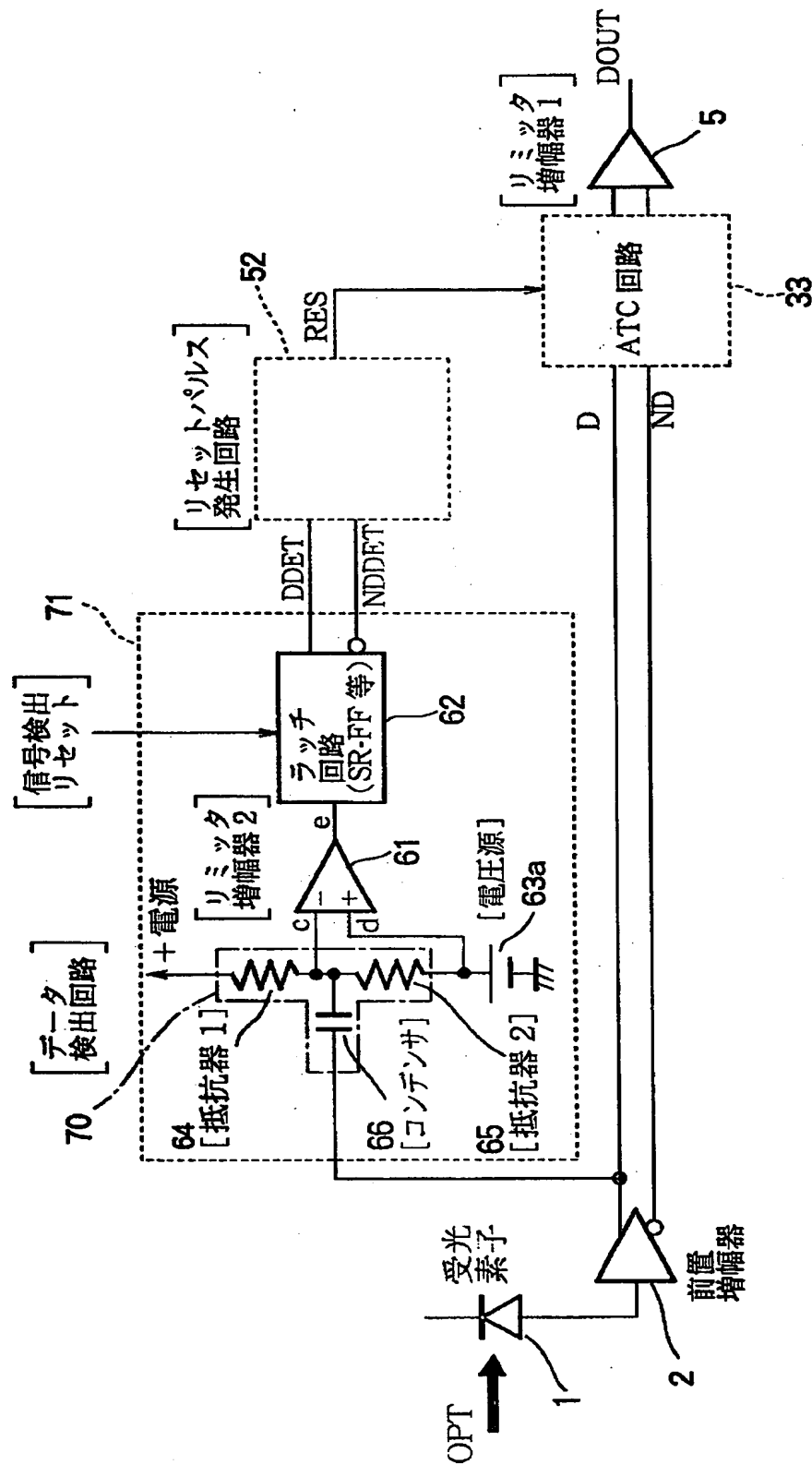
【図 3】



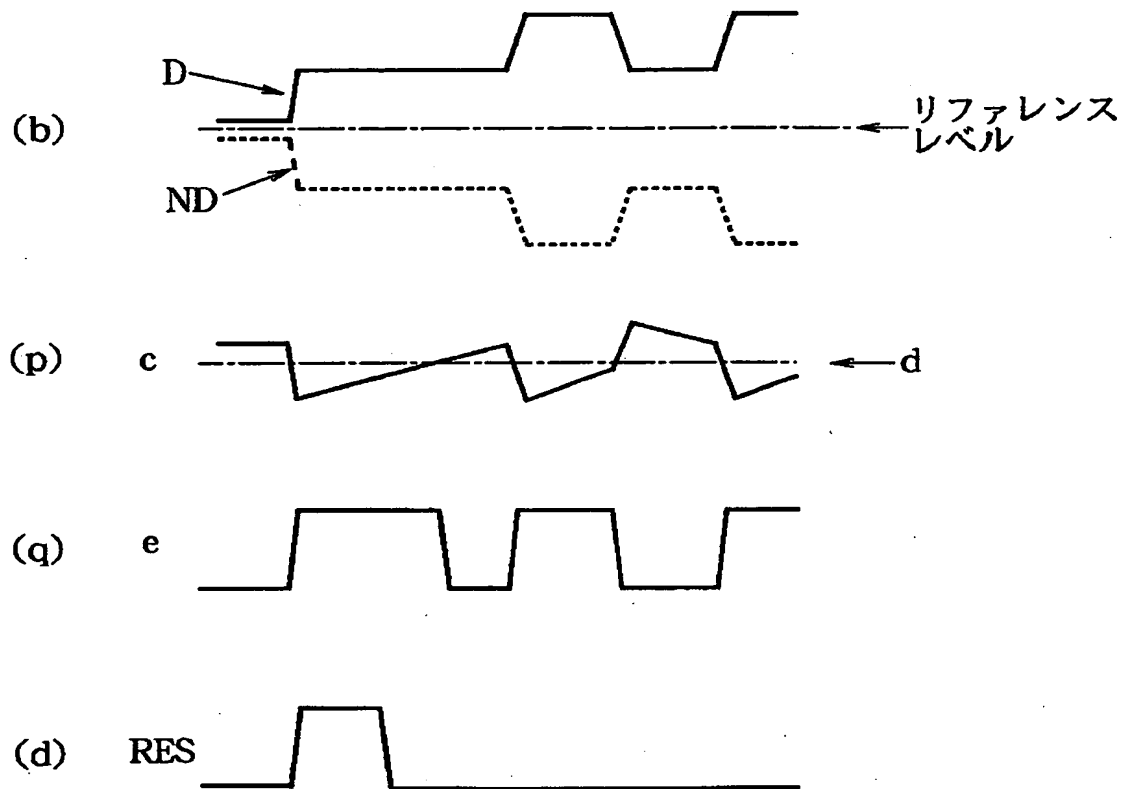
【図 4】



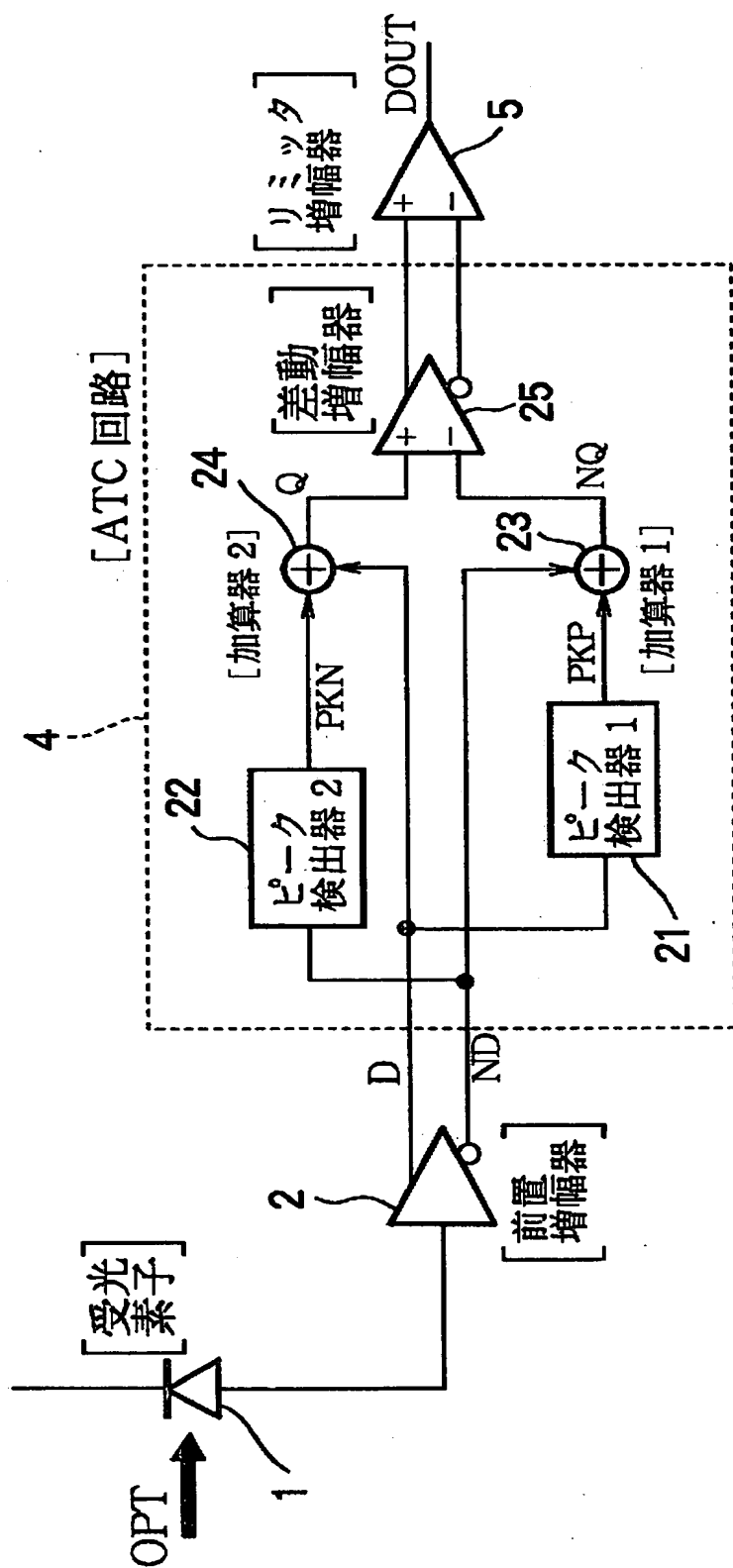
【図5】



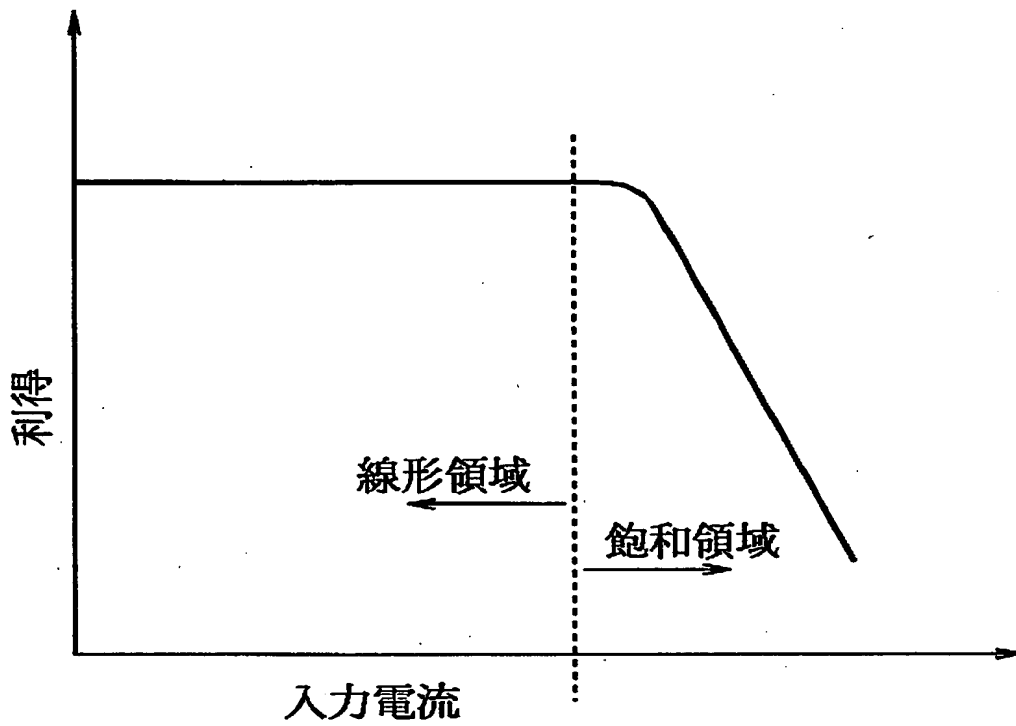
【図 6】



【図 7】

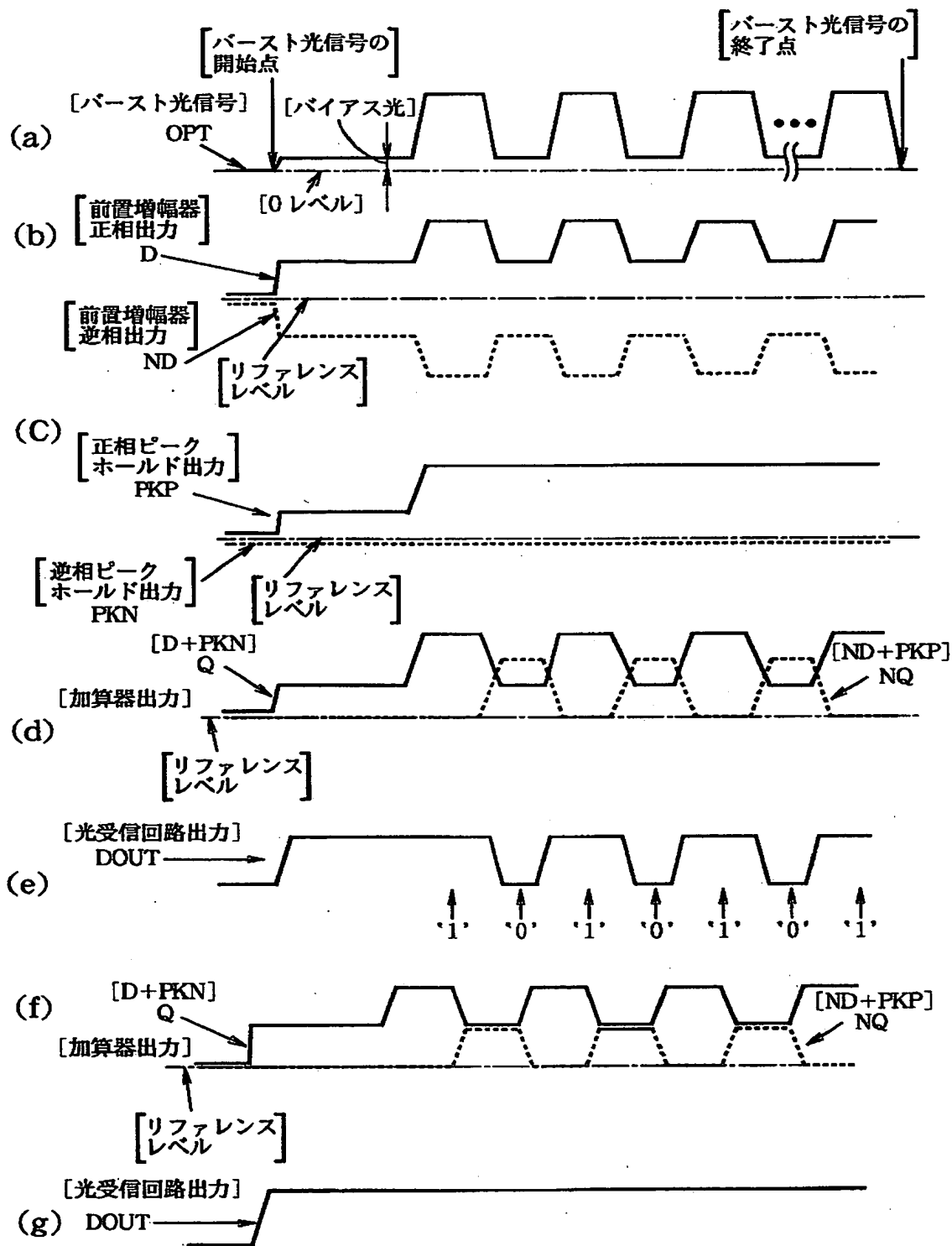


【図 8】



一般的な前置増幅器の入力電流対利得特性

【図 9】



【書類名】 要約書

【要約】

【課題】 前置増幅器の入力端子に余分な静電容量を加えずに、大きなバイアス光が有る場合でも光信号を正確に受信できる光受信回路を提供する。

【解決手段】 第 1 のピークホールド回路 4 1 の出力信号 P K P と逆相信号 N D とを加算する第 1 の加算器 2 3 と、第 2 のピークホールド回路 4 2 の出力信号 P K N を前置増幅器 2 の正相信号 D と加算する第 2 の加算器 2 4 と、加算結果 Q、N Q を入力とする差動増幅器 2 5 とを有する光受信回路で、前置増幅器 2 から出力される正相信号 D あるいは逆相信号 N D の値の変化に基づいて光入力信号が入力したことを検出するデータ検出回路 3 1 と、データ検出回路 3 1 の出力信号 D D E T 中の立ち上がり部の信号を用いて、少なくとも第 2 のピークホールド回路 4 2 に対するリセット信号 R E S を出力するリセット回路 3 2 を備える。

【選択図】 図 1

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社